

L Number	Hits	Search Text	DB	Time stamp
1	3146	buffer with (nickel ni)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:24
2	102	(buffer with (nickel ni)) with (micro meter thickness milli micrometer millimeter)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:23
3	105	(buffer with (nickel ni)) with (micro mu meter thickness milli micrometer millimeter)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:24
4	510153	nickel ni	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:24
5	35005	(nickel ni) with (micro mu meter thickness milli micrometer millimeter)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:24
6	1090	(chip die semiconductor ic (integrated adj circuit)) with ((nickel ni) with (micro mu meter thickness milli micrometer millimeter))	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:46
7	2640	(chip die semiconductor ic (integrated adj circuit)) same ((nickel ni) with (micro mu meter thickness milli micrometer millimeter))	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:26
8	48	buffer same ((chip die semiconductor ic (integrated adj circuit)) same ((nickel ni) with (micro mu meter thickness milli micrometer millimeter)))	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:26
9	11	buffer same ((chip die semiconductor ic (integrated adj circuit)) with ((nickel ni) with (micro mu meter thickness milli micrometer millimeter)))	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:30
10	37	(buffer same ((chip die semiconductor ic (integrated adj circuit)) same ((nickel ni) with (micro mu meter thickness milli micrometer millimeter)))) not (buffer same ((chip die semiconductor ic (integrated adj circuit)) with ((nickel ni) with (micro mu meter thickness milli micrometer millimeter))))	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:30
11	608	((chip die semiconductor ic (integrated adj circuit)) with ((nickel ni) with (micro mu meter thickness milli micrometer millimeter))) and (copper cu)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:47
12	225	((chip die semiconductor ic (integrated adj circuit)) with ((nickel ni) with (micro mu meter thickness milli micrometer millimeter))) and ((copper cu) with (carrier substrate))	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:48

L Number	Hits	Search Text	DB	Time stamp
1	3146	buffer with (nickel ni)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:24
2	102	(buffer with (nickel ni)) with (micro meter thickness milli micrometer millimeter)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:23
3	105	(buffer with (nickel ni)) with (micro mu meter thickness milli micrometer millimeter)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:24
4	510153	nickel ni	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:24
5	35005	(nickel ni) with (micro mu meter thickness milli micrometer millimeter)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:24
6	1090	(chip die semiconductor ic (integrated adj circuit)) with ((nickel ni) with (micro mu meter thickness milli micrometer millimeter))	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:26
7	2640	(chip die semiconductor ic (integrated adj circuit)) same ((nickel ni) with (micro mu meter thickness milli micrometer millimeter))	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:26
8	48	buffer same ((chip die semiconductor ic (integrated adj circuit)) same ((nickel ni) with (micro mu meter thickness milli micrometer millimeter)))	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:26
9	11	buffer same ((chip die semiconductor ic (integrated adj circuit)) with ((nickel ni) with (micro mu meter thickness milli micrometer millimeter)))	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:30
10	37	(buffer same ((chip die semiconductor ic (integrated adj circuit)) same ((nickel ni) with (micro mu meter thickness milli micrometer millimeter)))) not (buffer same ((chip die semiconductor ic (integrated adj circuit)) with ((nickel ni) with (micro mu meter thickness milli micrometer millimeter))))	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 17:30

L Number	Hits	Search Text	DB	Time stamp
1	6211	((copper cu) with ceramic with (substrate carrier))	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 23:42
2	304	((chip die semiconductor ic (integrated adj circuit)) with (nickel ni) and ((copper cu) with ceramic with (substrate carrier)))	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 23:43
3	20	((chip die semiconductor ic (integrated adj circuit)) with (nickel ni) and ((copper cu) with ceramic with (substrate carrier))) and buffer	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2003/07/27 23:44

PAT-NO: JP403241859A
DOCUMENT-IDENTIFIER: JP 03241859 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: October 29, 1991

INVENTOR-INFORMATION:

NAME
AKAI, TAKAO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP02038853

APPL-DATE: February 20, 1990

INT-CL (IPC): H01L023/14, B32B007/02 , B32B007/02 ,
C04B037/02

US-CL-CURRENT: 428/674

ABSTRACT:

PURPOSE: To realize a junction structure where jointed substances are protected against damage without deteriorating a buffer plate in properties by a method wherein the buffer plate is inserted at a junction between the substances different in type, and a barrier layer which blocks the reaction between a bonding material and the buffer plate is formed on the surface of the buffer plate.

CONSTITUTION: In a semiconductor device provided with a

junction between substances different in type, a buffer plate 3 is inserted at the junction to mitigate the influence caused by the difference of the substances in properties, and a barrier layer 4 which blocks the reaction between a bonding material 5 and the buffer plate 3 is formed on the surface of the buffer plate

3. For instance, a Cu plate 3 0.15mm in thickness plated with an Ni layer 4 0.5 μ m in thickness which serves as a barrier layer is provided as a buffer plate at a joint between an Al<SB>2</SB>0<SB>3</SB> board 1 serving as a support board or a package of a semiconductor device and a Cu-Mo-Cu composite plate (CMC plate) 2 serving as a heat dissipating plate. In this case, the joint surface of the Al<SB>2</SB>0<SB>3</SB> board 1 is metallized to be brazed, and bonding is carried out through brazing using a brazing filler material (silver solder) 5.

COPYRIGHT: (C)1991, JPO&Japio

⑪ 公開特許公報 (A) 平3-241859

⑫ Int. Cl.⁵

H 01 L 23/14
 B 32 B 7/02
 C 04 B 37/02

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)10月29日

101

B

6639-4F
 6639-4F
 7202-4G
 7738-5F

H 01 L 23/14

M

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 平2-38853

⑯ 出 願 平2(1990)2月20日

⑰ 発明者 赤井 孝夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代理人 弁理士 井桁 貞一

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

異種物質間の接合部を有する半導体装置であつて、
該接合部に異種物質間の性質の違いによる影響

を緩和する緩衝板が挿入され、
該緩衝板の表面に接合材と緩衝板との間の反応

を阻止するバリア層が形成されていることを特徴とする半導体装置。

3. 発明の詳細な説明

(概要)

セラミックスー金属等の異種物質間の接合部を有する半導体装置に関し、

異種物質間の接合において、接合時に緩衝板の性質を損なわぬようにして被接合物質の破壊を防止した接合構造を得ることを目的し、

放熱板付半導体装置に代表される、異種物質間の接合部を有する半導体装置であって、該接合部に異種物質間の性質の違いによる影響を緩和する緩衝板が挿入され、該緩衝板の表面に接合材と緩衝板との間の反応を阻止するバリア層が形成されているように構成する。

(産業上の利用分野)

本発明はセラミックスー金属等の異種物質間の接合部を有する半導体装置に関する。

異種物質間の接合は物質間の性質の相違、例えば熱膨張係数の相違から被接合物質に損傷を生ずる場合がある。

本発明はこのような問題に対処した接合部を有する半導体装置として利用することができる。

(従来の技術)

従来、このような問題を解決する方法として、異種物質間に性質の違いによる影響を緩和する緩衝板を挿入していた。

例えば、放熱板付半導体装置等のセラミックスー金屬間のろう付による接合において、熱膨張係数の相違から発生する熱応力を和らげるため、無酸素銅等の延展性に富む材料からなる緩衝板を挿入していた。

(発明が解決しようとする課題)

ところが、セラミックスー金屬間のろう付による接合において無酸素銅を緩衝板に用いる際、ろう付温度がばらつくことから、緩衝板の銅に銀ろうの銀が拡散してしまい、緩衝板としての効果が失われ、セラミックスが破壊にいたることがあった。

本発明は異種物質間の接合において、接合時に緩衝板の性質を損なわないようにして、被接合物質の破壊を防止した接合構造を得ることを目的とする。

(課題を解決するための手段)

上記課題の解決は、放熱板付半導体装置に代表

される、異種物質間の接合部を有する半導体装置であって、該接合部に異種物質間の性質の違いによる影響を緩和する緩衝板が挿入され、該緩衝板の表面に接合材と緩衝板との間の反応を阻止するバリア層が形成されている半導体装置により達成される。

(作用)

本発明は異種物質間の接合において、接合部に挿入する緩衝板の表面に、接合材と緩衝板との間の反応を阻止するバリア層を形成することにより、接合形成時に異種物質間の性質の違いによる影響を緩和する緩衝板の性質が変化してその効果が失われることを防止したものである。

例えば、セラミックスー金屬間の銀ろう付による接合において無酸素銅を緩衝板に用いる際、緩衝板としての効果が失われる原因是銅への銀の拡散によるものであることを、本発明者は金属顕微鏡による接合部の断面写真の観察により確認して、その対策として本発明を導出したものである。

(実施例)

第1図は本発明の一実施例を説明する断面図である。

図において、半導体装置の支持基板またはパッケージであるアルミナ(Al_2O_3)板1と、放熱板となる銅(Cu)-モリブデン(Mo)-Cu複合板(CMC板)2との接合部に緩衝板として、表面全面にバリア層として厚さ $0.5\mu m$ 以上のニッケル(Ni)層4をメッキにより被覆した厚さ 0.15 mm のCu板3を用いる。

なお、アルミナ板1の接合部はメタライズしてろう付ができるようにしておく。

接合はろう材(銀ろう)5を用いてろう付により行われる。

バリア層のある実施例と、バリア層のない従来例について、熱ショック試験(T/S(A))は厳しい条件下の試験で、100°Cの液槽と0°Cの液槽に交互に繰り返し浸漬する試験)を行い、次表に初期値と100サイクル(∞で表す)と200サイクルの結果を示す。

表の数値は、分母が試験数、分子はアルミナ板が破損した数を示す。

	初期 T/S(A) 100∞	T/S(A) 200∞
実施例	0/200	0/200
従来例	24/200	-

この結果より、実施例は顕著な効果があることがわかる。

第2図は他の実施例を説明する断面図である。

図において、バリア層4はNi箔等の金属板を使用して緩衝板3にクラッドした例である。

第3図は本発明の応用例を説明する半導体装置の一部断面を示す立体図である。

この例は、セラミックPGA(ピングリッドアレイ)パッケージに搭載された放熱フィン付半導体装置である。

Cu緩衝板3にバリア層4としてNiメッキを $0.5\mu m$ 以上施している。

図において、

6はステージ(Mo)で、片面は半導体チップをろう付けし、他面はろう付けにより緩衝板3に熱的に接続されている。

7は半導体チップ(Si)、8はポンディングワイヤ(AI)である。

9はキャップ(Kovar)、10は封止用ろう材(例えれば銀ろうより融点の低い金錫合金)である。

11は放熱フィンを保持するMoスタッド、12は接着材(ポリイミド系の熱伝導率の高いもの)、13は放熱フィン(AI)であり、14はリード(Kovar)、

15はろう材(銀ろう)である。

ここで、括弧内は材料例を示す。

ろう付けは治具内に、下から順にMoスタッド13、銀ろう片、CMC板2、銀ろう片、緩衝板3、銀ろう片、ステージ6及びアルミニナ板1を置き、治具を非酸化性雰囲気内で加熱して行う。

このような構造は図示のように複雑であるため環境試験(上記の熱ショック試験(T/S)や、熱サイクル試験(T/C)等)で、熱膨張係数の相違から各部に熱ストレスを生じてしまうことになる。

このような構造では、フィンの影響も大きい。

しかし、緩衝板がバリア層により保護されているので、緩衝板は完全に作用して上記の影響を緩和している。

この応用例では、セラミックスへの効果だけでなく、半導体チップに対しても有効である。

(発明の効果)

以上説明したように本発明によれば、異種物質間の接合において、接合時に緩衝板の性質を損なわないようにし被接合物質の破壊を防止した接合構造を得ることができ、セラミックス-金属の接合部を有する放熱板付半導体装置等に本発明を適用することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例を説明する断面図、

第2図は他の実施例を説明する断面図、

第3図は本発明の応用例を示す半導体装置の立体図である。

図において、

1はアルミナ(Al_2O_3)板、

2はCu-Mo-Cu複合板(CMC板)、

3は緩衝板でCu板、

4はバリア層でNi層、

5はろう材(銀ろう)、

6はステージ(Mo)、

7は半導体チップ(Si)、

8はポンディングワイヤ(AI)、

9はキャップ(Kovar)、

10は封止用ろう材(金錫ろう)、

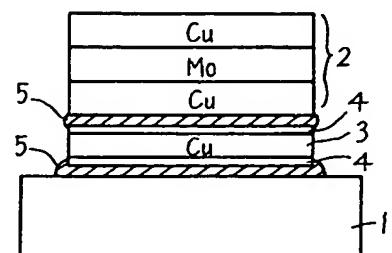
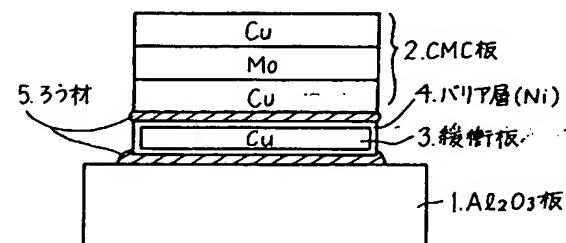
11はスタッド(Mo)、12は接着材、

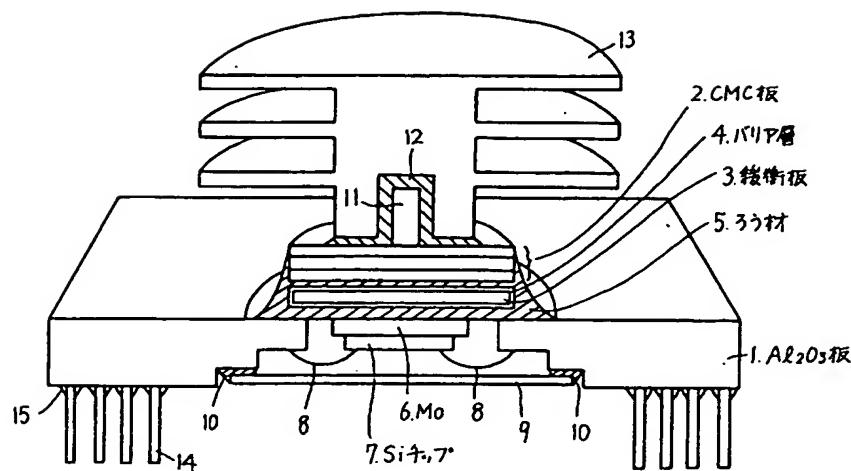
13は放熱フィン(AI)、

14はリード(Kovar)、15はろう材

である。

代理人 弁理士 井桁貞一



応用例を説明する半導体装置の一部断面を示す立体図

第 3 図

PAT-NO: JP360021534A
DOCUMENT-IDENTIFIER: JP 60021534 A
TITLE: CIRCUIT MOUNTING STRUCTURE
PUBN-DATE: February 2, 1985

INVENTOR-INFORMATION:

NAME
SAKUMA, KUNIO

ASSIGNEE-INFORMATION:

NAME SEIKO EPSON CORP	COUNTRY N/A
--------------------------	----------------

APPL-NO: JP58128959

APPL-DATE: July 15, 1983

INT-CL (IPC): H01L021/60, G04G001/00

US-CL-CURRENT: 257/779, 257/E21.506

ABSTRACT:

PURPOSE: To realize reduction in thickness of a wrist watch while keeping the reliability level of a circuit block thereof by face down bonding of integrated circuit element having a solder bump to a flexible circuit substrate with copper foil and keeping an interval between substrate conductor pattern surface and integrated circuit element surface to the particular range.

CONSTITUTION: An IC chip with a side of 2∼4mm having a solder bump 3 comprising a nickel core 2 in the thickness of about

15 μ m is used and a flexible circuit substrate with copper foil is used as a substrate 5. The IC chip 1 and substrate lead is aligned in position and are heated for joining. On the occasion of such heating, the IC chip is heated from the rear surface. Thereby, the surface of nickel core 2 in the solder bump 3 and substrate lead surface are forced to join in such a condition as they are in contact and clearance between the IC chip and substrate is always kept at 10~20 μ m. The solder perfectly surrounds the substrate lead up to the side surface by setting amount of solder of bump to the thickness of about 40 μ m and the joining condition where edge short-circuit by flow of solder is not generated can be obtained.

COPYRIGHT: (C)1985, JPO&Japio

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭60-21534

⑫ Int. Cl.⁴
H 01 L 21/60
G 04 G 1/00

識別記号 庁内整理番号
6732-5F
6533-2F

⑬ 公開 昭和60年(1985)2月2日
発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 回路実装構造

⑮ 特願 昭58-128959

⑯ 出願 昭58(1983)7月15日

⑰ 発明者 佐久間国雄

諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑱ 出願人 株式会社諏訪精工舎

東京都新宿区西新宿2丁目4番
1号

⑲ 代理人 弁理士 最上務

明細書

発明の名称

回路実装構造

特許請求の範囲

- (1) 回路ブロックにおいて、基板として銅箔付きフレキシブル回路基板を用い、それに半田バンプを有する集積回路素子をフェースダウンボンディングし、基板導体パターン表面と集積回路素子表面との間隙を10~20μに保つたことを特徴とする回路実装構造。
- (2) 接合部の構造として、半田バンプ内に設けた厚み10~20μのニッケルあるいは銅の金属芯と、回路基板の厚み18~35μの銅箔パターンとが接し、かつ、その金属芯及び導体パターンの外周部側面を、半田か筒状に包み込む形状にて接合されている特許請求の範囲第1項記載の回路実装構造。

発明の詳細な説明

本発明は腕時計用回路ブロックの実装構造に関するものである。

一般に、腕時計においては、集積回路素子(以下エコチップと呼ぶ)の回路基板への実装方法として、ワイヤーボンディング方式、及びテープキャリア方式、フェースダウンボンディング方式が用いられている。中でも特に薄型・小型化指向の強いアナログ時計においてはテープキャリア方式あるいはフェースダウンボンディング方式が主流となっている。これらの方の実装スペースは、たとえばICチップの大きさを一辺3mm、厚み0.3mmとした場合、テープキャリア方式の場合には、厚み方向では基板導体パターン表面からICチップ裏面まで約420μ、平面方向では3.2×3.2mm²必要としている。またフェースダウンボンディング方式の場合には、厚み方向で約400μ、平面方向では3×3mm²必要としているのが現状である。

一方、近年腕時計の薄型・小型化のニーズは増

々高まり、前記の現状の実装スペースでは十分にその要求を満足できない水準に達してきている。

しかるに、テープキャリア方式においては、エッジショート防止の点からフィンガーリードの I Cチップ方向への曲げ成形が約100μ程度必要なこと、及び腕時計設計上の点から基板の銅箔側にI Cチップを配置しなければならない場合が多いことなどから、これ以上の薄型化は困難である。またフェースダウンボンディング方式においても、基板とI Cチップとの熱膨張係数差に基づく熱応力に対する接合部信頼性の点から、接合後の半田高さすなわちI Cチップ表面と基板導体パターン表面との間隙は大であるほど望ましく、一般に図2に示すように、日々100μ以上必要であるといわれており、さらに極端にその接合厚みを減少させることは困難とされている。

本発明はかかる欠点を除去したもので、その目的は、腕時計の回路プロックとして必要な信頼性水準を保ちつつ、I C表面と基板導体パターン表面との間隙を従来の約1/6の15μ程度とし、約90

-3-

を約15μと極めて小さくできるとともに、腕時計として十分な水準の接合信頼性を確保することができる。それは次の理由による。

第1に、基板としてフレキシブル基板を用いるため基板とI Cチップとの熱膨張係数の差による半田接合部への熱応力が、リジッド基板の場合よりも小さいため。

第2に、アナログ式電子時計用のI Cチップは通常一辺3mm程度と小さいことから前述の熱応力の程度が比較的小さいため。

第3に、基板とI Cチップの接合部において、基板導体パターン側面にまで十分に半田をまわり込ませることにより、筒状の半田が、ニッケル芯と導体パターンとで形成された径を包み込む状態にて接合する構造となるため、ニッケル芯の15μに基板導体厚み分の35μが加算されて、接合後の半田バルブ高さは約50μのものと等価となり、前述の熱応力が、極端には大きくならないため。

第4に、腕時計においては、使用するI Cチップはほとんどの場合1個のみであることから、コ

の薄型化を可能とする改良型のフェースダウンボンディング方式を提供することである。

以下実施例に基づいて、本発明を詳しく説明する。本発明では内部に約15μ厚のニッケル芯を持つ半田バンプを有する一辺2~4mmのI Cチップを用い、基板としては銅箔付フレキシブル回路基板を用いる。そしてI Cチップと基板リードとを位置合わせ後、加熱接合させる。この加熱の際に、I Cチップを裏面より加圧することにより、強制的に半田バンプ内のニッケル芯表面と基板リード表面とを接触させるような状態にて接合を行なわせる。これによりI Cチップと基板の間隙を常に一定に保つことができる。またバンプの半田量として厚み約40μとすることにより図1に示すように、接合後の状態として、半田が基板リードの側面まで完全に包み込む状態となり、かつ半田の流出によるエッジショートが発生しない接合状態とすることができる。

以上のような実装構造とするととにより、図1に示すI Cチップ表面と基板導体表面との間隙日

-4-

ンピューター等の多チップの場合に比較して、I Cチップ1個あたりに要求される信頼性は比較的高くないため。

以上のような要因の複合の結果、10年以上の保証のできる信頼性水準をもった接合が、この構造により達成することができる。

具体的な実施例を以下に示す。

I Cとしては、

チップ寸法 2.3mm × 3.0mm

チップ 厚 300μ

バンプ構造 ニッケル芯 厚み15μ

その上に半田 厚み40μ

バンプ寸法 □180μ

厚み55μ

半田組成 10%Sn 90%Pb

基板としては

基材 ポリイミドテープ(厚み125μ)

導体 35μ厚銅箔

表面 金メッキ

接合部リード寸法 9110μ

-5-

モールド剤としては

軟質エポキシ樹脂

接合後の状態としては

I Cチップ表面と基板導体表面との

間隙 H 15 μ

接合部バンプ外寸法 約φ230 μ

なお、基板材質としては他にガラスエポテープ、及びB Tレジンテープ、ポリエステルテープ等でも差しつかえない。またバンプ芯としては銅でもよい。また半田組成に関しては5%Sn95%Pbあるいは60%Sn 40%Pbなど他の組成のものでもよい。以上のように、本発明は腕時計として十分な信頼性を保ちつつ、従来に比較して約90 μ の実装スペース薄型化を可能にできること、さらに接合時に強制的に圧力を加え、半田バンプを大きく変形させることにより、表面の酸化膜を破壊できることから、フリックスを使用することなく十分な強度の半田接合が可能であることなど秀れた効果を有するものである。

図面の簡単な説明

第1図は本発明による腕時計用回路I Cチップ実装構造図。**(a)**は平面図、**(b)**は断面図。

第2図は従来の腕時計用回路I Cチップ実装構造図。**(a)**は平面図、**(b)**は断面図。

1... I Cチップ

2... バンプ金属芯

3... 本発明におけるバンプ半田部

4... 回路基板銅箔パターン

5... フレキシブル回路基板

3'... 従来の方法のバンプ半田部

6'... 回路基板

以上

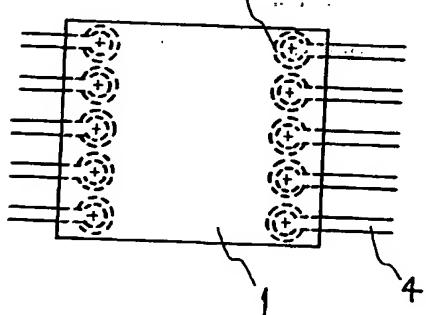
出願人 株式会社腕時計精工舎

代理人 弁理士 最上務

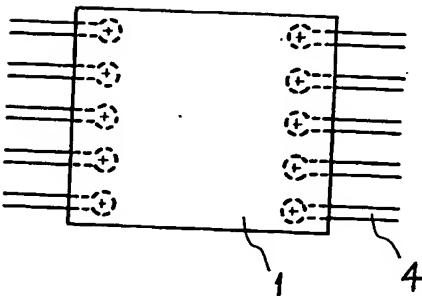
-7-

-8-

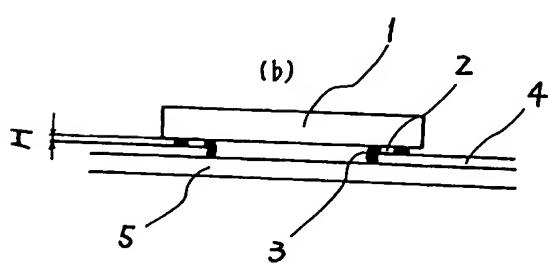
(a)



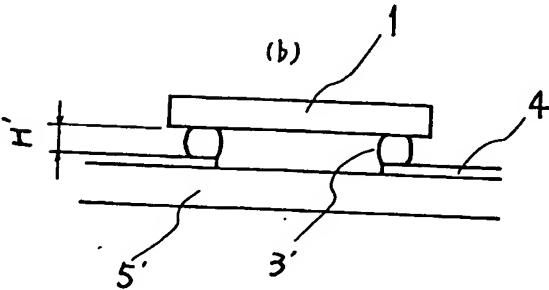
(a)



(b)



(b)



第1図

第2図

PAT-NO: JP361003663A
DOCUMENT-IDENTIFIER: JP 61003663 A
TITLE: PRETREATMENT FOR BRAZING OF METALLIC
MEMBERS
PUBN-DATE: January 9, 1986

INVENTOR-INFORMATION:
NAME
KAMIYA, TOKIMASA
YOSHIKAWA, TORU

ASSIGNEE-INFORMATION:
NAME NARUMI CHINA CORP COUNTRY
N/A

APPL-NO: JP59124015

APPL-DATE: June 16, 1984

INT-CL (IPC): B23K001/20, C04B037/02

US-CL-CURRENT: 228/254, 228/262.61

ABSTRACT:

PURPOSE: To provide a good brazing property to a metallic member consisting of Cu-W in the stage of brazing said member to ceramic substrate formed with a metallized layer by forming an Ni plating layer having a specific thickness to the metallic member.

CONSTITUTION: The metallic member 1 consisting of Cu-W, Cu-Mo, etc. constituting a semiconductor package is degreased and pickled to activate the

surface and the Ni plating layer 2 is formed thereon to
≤1μ; thickness and
if necessary the member is heat-treated to
600~1,000°C in an atm.
furnace or a Cu plating layer 3 is formed thereon to
≤3μ; thickness in the
stage of brazing said metallic member 1 to the ceramic
substrate 5 formed with
the metallized layer 6 in the part to be brazed.
Otherwise, the Cu plating
layer 3 is formed on the layer 2 to ≤15μ; thickness.
Then a Ni plating
layer 7 is applied on the metallized layer of the ceramic
substrate to braze
and join 3 the pretreated metallic member 1.

COPYRIGHT: (C)1986, JPO&Japio

⑪ 公開特許公報 (A) 昭61-3663

⑫ Int.Cl.¹B 23 K 1/20
C 04 B 37/02

識別記号

府内整理番号
E-6939-4E
7106-4G

⑬ 公開 昭和61年(1986)1月9日

審査請求 未請求 発明の数 2 (全4頁)

⑭ 発明の名称 金属部材の鍍付け前処理方法

⑮ 特願 昭59-124015

⑯ 出願 昭59(1984)6月16日

⑰ 発明者 神谷 時正 名古屋市緑区鳴海町字伝治山3番地 鳴海製陶株式会社内

⑱ 発明者 吉川 徹 名古屋市緑区鳴海町字伝治山3番地 鳴海製陶株式会社内

⑲ 出願人 鳴海製陶株式会社 名古屋市緑区鳴海町字伝治山3番地

⑳ 代理人 弁理士 今井 尚

明細書

1. 発明の名称

金属部材の鍍付け前処理方法

2. 特許請求の範囲

- (1) 鍍付け接合すべき部分にメタライズ層を形成したセラミック基板に対し、半導体パッケージを構成する銅-タングステン、銅-モリブデン等の金属部材の対応する接合部材には公知の方法により厚さ1μ以下のニッケルメッキ層か若しくは厚さ8μ以下の銅メッキ層を形成することを特徴とする金属部材の鍍付け前処理方法
- (2) 特許請求の範囲第1項の前処理方法において前記ニッケルメッキ層は必要に応じ界面気焔にて600~1000°Cの範囲で熱処理を施しこれを脱脂酸洗いにより表面の活性化を行った後厚さ15μ以下の銅メッキを施すこととする特徴とする金属部材の鍍付け前処理方法

3. 発明の詳細な説明

(1) 発明の目的

産業上の利用分野：本発明は半導体用セラミ

ックパッケージの半導体素子搭載又は放熱部材

として用いられる銅-タングステン、銅-モリ

ブデンから成る金属部材をセラミック部材に鍍

付けしてパッケージを形成させる際の鍍付け前

処理方法に関するものである。

従来の技術：従来から超高周波用トランジスター等に使用している放熱部材は無酸素銅等であるが、これら部材を鍍付けする際の金属部材の前処理としてニッケルメッキを行うのが通常であるが、この際のニッケルメッキはメッキ被膜の密着性等を考慮して中間に熱処理工程を入れた2度メッキ方式を用いて5~10μの厚さのニッケルメッキ層として密着性、銀錫食われ等に対処している。又コバルト等の金属部材を鍍付けする際は銀錫のぬれが良いためにニッケルメッキは施さなかった。しかし本出願人によって出願公開された特開昭59-46050号公報に記載された方法では銅-タングステン、銅-モリブデンによる金属部材は熱伝導が良好で熱膨脹をセラミックのそれに近付けうる長所

がある半面そのままでは銀付けができるないと云う欠点があり、従来のメッキ手法である2~3μ厚のメッキ層を形成して作業が行われている。

発明が解決しようとする問題点：しかるにこれら金属部材は正確には銅とタングステン、銅とモリブデンの混合物から成っており、メッキ前処理操作中の酸処理等で銅がエッチングされその上にメッキを施した際にはメッキのボイドなどを生じたりして密着性の良好なメッキを施すことは困難であった。このような密着性の悪いメッキ層を介して銀銀付けした場合メッキフクレ、銀銀食われが発生し、又銀銀が充分に流れなかったり、銀ろう部にもボイドを発生させたりリーグ不良につながると云う問題点があった。本発明はこれら問題点を解決するための方法であって、銅タングステン、または銅モリブデンより成る金属部材表面に密着性の良い金属被膜を設け、良好な銀付け性を金属部材に付与するためのメッキ方法を提供するものである。

(2) 発明の構成

問題点を解決するための手段：銀付け前の処理方法としてセラミック基板に接合すべき半導体パッケージを構成する銅タングステン、銅モリブデン等の金属部材を脱脂、酸洗いにより表面を活性化し、0を含まず1μ以下(好ましくは0.2~0.5μ)の厚さのニッケルメッキを施し、必要に応じ雰囲気炉にて600~1000°Cの範囲で熱処理を行う。或は厚さ8μ以下(0を含まず)の銅メッキ層を形成する。しかして後前記セラミック基板5のメタライズ層6にニッケルメッキ7を施してこれと銀付け4接合して半導体パッケージを完成する。或は前記ニッケルメッキ層を形成した金属部材を再度脱脂酸洗いして表面の活性化を行った後さらに銅メッキを15μ以下(好ましくは1~5μ)施す前処理方法である。

作用：本願発明の前処理操作によって密着性の良い銀付け可能な接合面を形成し、銀銀の流れを良くしてボイドの発生が防止される。

実施例1 ICパッケージ用の銅タングステン合金部材1を脱脂、酸洗いして表面を活性化し、厚さ0.5μのニッケルメッキ層2を形成しこれを雰囲気炉で750°C、15分の熱処理をした後、その上にさらに4μ厚の銅メッキ8を施した。このメッキ処理の併んだ銅タングステン合金を放熱板として通常の方法で所望のパターンのメタライズ層6にニッケルメッキ7を施して成るセラミック基板5に銀銀付けし、一體となつたものにニッケル、金メッキを施して放熱特性の良好なICパッケージを作製した。リーグディテクターによるリーグ測定で $1 \times 10^{-8} \text{ atm sec}$ 以下のリーグ率を示した。また銀付け部の500倍の断面顕微鏡像の所見ではボイドの発生は殆ど見られず、良好な銀銀流れを示した。

実施例2 前記銅タングステン合金に表面を活性化してニッケルメッキをそれぞれ0μ、0.2μ、0.5μ、1μ、1.8μ施したサンプルを作成し、セラミック基板に銀銀付けした結果0.2

μ、0.5μ、1μ厚のサンプルは良好な銀付けができた。0μ、1.8μサンプルは銀ろう流れがわるく、ボイドが多数発生し、リーグ不良を示した。

No.	ニッケルメッキ厚	メッキハガレ	ボイド	リーク測定結果	
				有	無
1	0μ	なし	有	発生	不合格
2	0.2μ	なし	無	無	合格
3	0.5μ	なし	無	無	合格
4	1μ	なし	微量有	若干発生	合格
5	1.8μ	なし	有	発生	不合格

実施例3

前記銅タングステン合金部材の表面を活性化して銅メッキをそれぞれ厚さ0.2μ、0.5μ、1μ、8μ、5μ施したサンプルの銀ろう付け性を評価した結果、8μまで良好であった。5μサンプルは素地の銅タングステン合金との密着性が悪く、銀付けの際にメッキフクレ、ハガレ、銀ろうくわれが生じた。

No	銅メッキ厚 μ	ニッケルメッキ厚 μ	メッキハガレ 有無	ガイドの有無	リード測定結果	評価
6	0.2	なし	無	無	無	合格
7	0.5	なし	無	無	無	合格
8	1	なし	無	無	無	合格
9	3	なし	無	無	無	合格
10	5	あり	有	有	発生	不合格

実施例4

前記銅-タングステン合金部材の表面を活性化してニッケルメッキを0.2~1μ、銅メッキを1~20μ重ねたサンプルを作成し、銀ろう付け性を評価した結果、ニッケルメッキ0.2~0.5μプラス銅メッキ8~10μが全サンプルNo.1~No.19のうち最も良好な銀ろう付け性を示した。

No	ニッケル メッキ厚 μ	銅 メッキ厚 μ	メッキハガレ 有無	ガイド 有無	リード 測定結果	評価
11	0.2	1	なし	若干有	若干発生	合格
12	0.2	3	なし	無	無	合格
13	0.5	1	なし	有	発生	不合格
14	0.5	3	なし	無	無	合格
15	0.5	5	なし	絶無	絶無	最良

No	0.5 μ	10 μ	なし	無	無	合格
17	0.5 μ	20 μ	有	若干有	若干有	不合格
18	1 μ	3 μ	若干有	若干有	若干有	合格

銅-タングステン合金部材上のメッキ処理としてニッケルメッキ単味よりもその上に銅メッキも重ねた方が銀ろう付け性は良くなる。しかし下地のニッケルメッキ厚が1μ以下であることが必要で、それ以上の厚さがあると銅メッキをどんなに厚くつけても銀ろう付け性はよくならない。

実施例5

実施例4のサンプルについてニッケルメッキ後の熱処理の有無と銀ろう付け性の良否との関係をしらべた結果ニッケルメッキ後界囲気炉にて600~1000°Cでましくは750~850°Cで熱処理を施し、その後銅メッキを施した方が銀ろう付け性が安定して良好であることがわかった。

実施例6

銅-モリブデン合金部材の場合には、前記全

様の手法により良好な銀ろう付け性が得られることがわかった。

No	ニッケル メッキ厚 μ	銅 メッキ厚 μ	メッキハガレ 有無	ガイド 有無	リード 測定結果	評価
20	0.5	—	なし	無	無	合格
21	—	1	なし	無	無	合格
22	0.5	3	なし	絶無	無	合格

4. 図面の簡単な説明

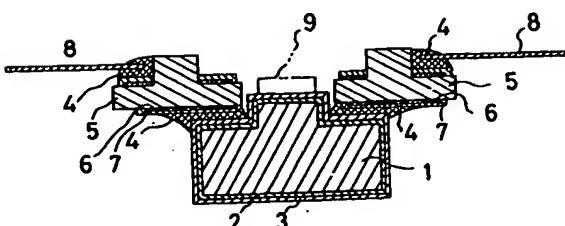
第1図は本発明方法の前処理を施した銅-タングステン部材の要部の断面図、第2図は銀付けしたパッケージの拡大断面図である。

1…金属部材 2…ニッケルメッキ層 3…銅
メッキ層 4…銀付け部 5…セラミック基板
6…メタライズ層 7…ニッケルメッキ 8…リ
ードフレーム 9…ICチップ

第1図



第2図



特許出願人 鳴海製陶株式会社

代理人 今井 尚



手 続 補 正 書 (方式)

昭和 59年 10月 8日

特許庁長官 志賀 学 殿

1. 事件の表示

昭和 59年 特許 第 124015号

2. 発明の名称 金属部材の鍍付け前処理方法

3. 補正をする者

事件との関係 特許出願人

住所 愛知県名古屋市緑区鳴海町字伝治山3番地

氏名(名称) 鳴海製陶株式会社

代表者 石原 利

4. 代理人

住所 愛知県名古屋市瑞穂区高田町4丁目8番3号

氏名 (6371) 今井 尚

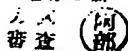


5. 補正命令の日付 昭和 59年 9月 25日

6. 補正により増加する発明の数

7. 補正の対象

明細書の発明の名称の欄



8. 補正の内容

- (1) 発明の名称を“金属部材の鍍付け前処理方法”と訂正する。

PAT-NO: JP02002173796A

DOCUMENT-IDENTIFIER: JP 2002173796 A

TITLE: BASIC MATERIAL FOR MANUFACTURING OF
ENVIRONMENTALLY FRIENDLY SEMICONDUCTOR DEVICE
UTILIZING TERNARY ALLOY

PUBN-DATE: June 21, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
HONG, SOON SUNG	N/A
LEE, JI YONG	N/A
PARK, BYUNG-JUN	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
ACQUTEK SEMICONDUCTOR & TECHNOLOGY CO LTD	N/A
KWON HYUK WON	N/A

APPL-NO: JP2001238432

APPL-DATE: August 6, 2001

INT-CL (IPC): C25D007/12, C22C005/06 , C25D005/12 ,
C25D007/00 , H01L023/12
, H01L023/50

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a basic material for manufacturing environmentally friendly semiconductors as eliminating tin/solder alloy plating to be carried after ensuring semiconductor assembling process steps by plating a substrate for manufacturing of the semiconductor devices

with a ternary alloy
like gold/silver/cerium prior to the semiconductor device
assembling process
step.

SOLUTION: This basic material for manufacturing of the environmentally friendly semiconductors includes a copper-based substrate which is subjected to patterning, a first layer which includes a nickel layer formed at a thickness of 10 to 300 μ m;in on the upper surface of the lead part of the copper-based substrate subjected to patterning and a second layer which includes a gold/silver/ cerium ternary alloy layer formed at a thickness of 3 to 160 μ m;in on the upper surface of the first layer.

COPYRIGHT: (C)2002, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開2002-173796

(P2002-173796A)

(43)公開日 平成14年6月21日(2002.6.21)

(51) Int.Cl.
C 25 D 7/12
C 22 C 5/06
C 25 D 5/12
7/00
H 01 L 23/12

識別記号

F I
C 25 D 7/12
C 22 C 5/06
C 25 D 5/12
7/00
H 01 L 23/50

マーク*(参考)
4 K 0 2 4
Z 5 F 0 6 7
J
D

審査請求 有 請求項の数4 OL (全 6 頁) 最終頁に続く

(21) 出願番号 特願2001-238432(P2001-238432)
(22) 出願日 平成13年8月6日(2001.8.6)
(31) 優先権主張番号 2000-0048799
(32) 優先日 平成12年8月23日(2000.8.23)
(33) 優先権主張国 韓国(KR)

(71) 出願人 501312680
株式会社 アキュテック 半導体技術
大韓民国 忠南 天安市 聖城洞 493-3
(71) 出願人 501312691
權 赫元
大韓民国 ソウル市 江南区 開浦洞
649 京南アパート 6-402
(72) 発明者 洪 淳盛
大韓民国 忠南 天安市 新副洞 85 大
亞アパート 103-1608
(74) 代理人 100088096
弁理士 福森 久夫

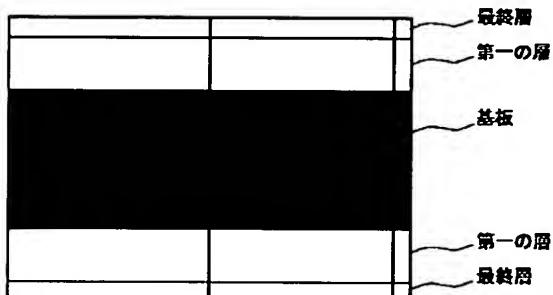
最終頁に続く

(54) 【発明の名称】 3元合金を利用した環境親和的な半導体装置の製造用基質

(57) 【要約】

【課題】 この発明の目的は、半導体装置の組立工程に先立って、半導体装置の製造用基板に金／銀／セリニウムのごとき3元合金をめっきすることによって、次後の半導体の組立工程後に運ばれる錫／はんだ合金めっきを排除するなどの環境へ親和的な半導体製造用の基質を提供することにある。

【解決手段】 本発明は、3元合金を利用した環境への親和的な半導体装置の製造用基質は、パターニングされた銅系基板と、該パターニングされた銅系基板のリード部の上部面に $10 - 300 \mu\text{in}$ の肉厚で形成されたニッケル層を含む第1の層と、該第1の層の上部面に $3 - 160 \mu\text{in}$ の肉厚で形成された金／銀／セリニウム3元合金層を含む第2の層とを含むことを特徴とする。



【特許請求の範囲】

【請求項1】 パターニングされた銅系およびニッケル合金系基板と、少なくとも前記パターニングされた銅系およびニッケル合金系基板のリード部の上部面に10～300μinの肉厚で形成されたニッケル層を含む第1の層とおよび前記ニッケル層の上部面に3～160μinの肉厚で形成された、金／銀／グレイン元素からなる3元合金層を含む最終層とからなることを特徴とする半導体装置の製造用基質。

【請求項2】 前記グレイン元素がSe、At、Bi、Ni、CoおよびInからなるグループから選択されることを特徴とする請求項1に記載の半導体装置の製造用基質。

【請求項3】 前記3元合金層は、銀50～95重量%、金4～49重量%およびグレイン元素1重量%以下を含むことを特徴とする請求項1に記載の半導体装置の製造用基質。

【請求項4】 電子部品、印刷回路基板、ポールグリードアレー基板およびリードフレームの製造時に用いられることを特徴とする請求項1乃至3のいずれかに記載の半導体装置の製造用基質。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、3元合金を利用した環境親和的な半導体装置の製造用基質に係り、より詳しくは、この発明は銅または銅合金（以下、銅系という）およびニッケルまたはニッケル合金の表面上に下部から順次ニッケル層、金／銀／セリニウムを含む3元合金層を積層して、半導体製造用基板の表面の腐食を防止し、ワイヤボンディング時に結合力を増加およびモルディング化合物との接着性を改善するようにされた半導体の製造用基質に関する。

【0002】

【従来の技術】一般に、半導体装置の製造用基質の一例として、リードフレームは、半導体チップと印刷回路基板のごとき電気、電子装置を電気的に連結せしめる媒介手段として活用される。かかる半導体装置の製造用基質の材質は、通常、銅または銅合金およびニッケルまたはニッケル合金にて表面の酸化を防止し各種の電気、電子装置との接続性を改善するため、半導体装置の製造用基質の表面に多様なめっき層を形成して使用した。

【0003】ところで、従来において上記のごとき目的を実現するための方法として、銅系基質の表面上に錫／はんだ合金をめっきして使用したが、はんだは環境での非親和的物質として規制されることによって、これを代替するための技法への必要性が大いに囲まれた。

【0004】

【発明が解決しようとする課題】そこで、この発明は上記の問題点を解決するためになされたものであって、こ

の発明の目的は、半導体装置の組立工程に先立って、半導体装置の製造用基板に金／銀／セリニウムのごとき3元合金をめっきすることによって、次後の半導体の組立工程後に運ばれる錫／はんだ合金めっきを排除するなどの環境へ親和的な半導体製造用の基質を提供することにある。

【0005】この発明のまたの目的および効果は、以下の詳細な説明によって明確になる。

【0006】

10 【課題を解決するための手段】上記のような目的を達成するためになされたこの発明による3元合金を利用した環境への親和的な半導体装置の製造用基質は、パターニング(Patterning)された銅系基板と、該パターニングされた銅系基板のリード部の上部面に10～300μinの肉厚で形成されたニッケル層を含む第1の層と、該第1の層の上部面に3～160μinの肉厚で形成された金／銀／セリニウム3元合金層を含む第2の層とを含むことを特徴とする。

【0007】この発明の3元合金層は、銀50～95重量%、金4～49重量%およびグレイン元素として金属組織をより緻密にできる元素、1重量%以下からなる。グレイン元素としては、セラニウム、アンチモニー、ビスマス、ニッケル、コバルト、インジウムを含むが、もっとも好ましくはセリニウムである。そのグレイン元素は銀と金との合金組織がより緻密な構造をもつようになる。

【0008】この発明において、ニッケル層は銅の拡散を防止するとともに、製造された半導体チップパッケージを印刷回路基板などに実装時に溶接性を改善する。また、最上位層の3元合金層は下位層の熱による拡散を防止し、最上層の酸化を防止する役割とシリコンチップとのワイヤボンディング時に金ワイヤとの結合力を増加せしめる効果がある。

【0009】さらに、半導体のパッキング後には各種の電気、電子装置などの実装時には錫／錫合金めっきなしに直に実装できる特徴がある。さらに、既存に発表されたごとく、銀は吸湿性をもつことから、モルディング時にモルディング結合力を低下させる問題点がいまなお存在しているが、この発明はこれを改善する特徴がある。

【0010】この発明の半導体装置の製造用基質は、電子部品、印刷回路基板、ポールグリードアレー基板およびリードフレームなどの製造に使用されうる。

【0011】以下、この発明による一実施例について添付図に沿つて詳述する。

【0012】

【実施例】下記の実施例は、この発明を例示するものであって、この発明を限定するものではない。さらに、この実施例はもっとも好ましいグレイン元素のセリニウムを用いた金／銀／セリニウムの3元合金層を最終層とし

て使用した。

(1) 試料製作

まず、バーニングされた銅系基板を脱脂酸洗して設ける。つぎに、銅系基板の上部面に下部から多様なめっき、一例として、ニッケル層、金／銀／セリニウム合金めっきを順次電気めっきで施して試料を作成する。ここで、各段階別の水洗は従来の技法と同一であるため省略する。

(2) 金ワイヤボンディング実験

試料をワイヤボンディング装置を利用してワイヤボンディングをしてから、ボンディングアールテスター(Bonding Pull Tester)を利用して金ワイヤボンディング実験を行う。

(3) 溶接性実験

試料を175°Cで7時間30分熱処理をしてから、温度95°Cの相対湿度95%の条件下で8時間強制老化させる。つぎに、MIL-STD-883D方法によって溶接性実験を実施する。

(4) モルディング化合物との接着性実験

試料をモルディング温度170°Cで90秒モルディング*20

*をしてから、175°Cで6時間熱処理をしてから、エポキシモルディング化合物と半導体装置製造用基板との接着性実験をMRT(Moisture Resistance Test)によって実施してから、SAT(Scanning Acoustic Tomograph)検査をする。

【0013】ただし、MRTにおける温度周期は、55°C/125°Cで5周期としたし、125°Cで24時間の熱処理後にSAT検査を実施する。

【0014】実施例1および比較例1. ボンディング引張強度

この発明による最終層をめっきしためっき層およびめっき実験に応じた試料の表面分析およびワイヤボンディングの結合性を試験して下記の表1に示し、比較例として最終層を銀単独、金単独および金と銀合金を使用した場合の表面分析およびワイヤボンディング結合性を下記表2に示した。表2において、試片13-18は銀単独、試片19-24は金単独さらに試片25-30は金と銀の合金を使用した場合である。

【0015】

【表1】

めっき層	ニッケル層			金/銀/セリニウム合金層			EDS 分析 (重量%)	ボンディング 引張強度 (kg)	
	厚さ (μin)	30	50	70	5	10	15		
試片 1		●			●			金 11, 銀 89	15.30
試片 2		●				●		金 16, 銀 84	15.60
試片 3		●					●	金 22, 銀 78	15.40
試片 4	●				●			金 27, 銀 73	15.40
試片 5	●					●		金 30, 銀 70	15.38
試片 6	●						●	金 35, 銀 65	16.21
試片 7		●				●		金 30, 銀 70	15.21
試片 8		●					●	金 33, 銀 67	16.21
試片 9		●			●			金 32, 銀 68	16.71
試片 10			●				●	金 34, 銀 66	16.15
試片 11			●	●				金 31, 銀 69	14.87
試片 12			●		●			金 31, 銀 69	15.88

【0016】

※※【表2】

めっき層	ニッケル層			その他の最終層			EDS 分析 (重量%)	ボンディング 引張強度 (kg)	
	厚さ (μin)	30	50	70	5	10	15		
試片 13		●			●			銀 100	-
試片 14		●				●		銀 100	-
試片 15		●					●	銀 100	-
試片 16	●				●			銀 100	-
試片 17		●			●	●		銀 100	-
試片 18			●		●			銀 100	-
試片 19		●			●			金 100	11.25
試片 20		●				●		金 100	12.31
試片 21		●					●	金 100	12.33
試片 22	●				●			金 100	11.25
試片 23		●			●			金 100	10.65
試片 24			●		●			金 100	10.99
試片 25		●			●			金 11, 銀 89	9.66
試片 26					●			金 16, 銀 84	9.55
試片 27						●		金 22, 銀 78	10.25
試片 28						●		金 27, 銀 73	10.22
試片 29						●		金 30, 銀 70	11.23
試片 30						●		金 35, 銀 65	10.56

【0017】上記表から分かるように、ワイヤボンディング結合性を実験した結果、銀／金／セリウム合金を形成した後の結合性が最終層を金とか銀でめっきしたときよりさらに高い引張力を示すことが分かる。最終層に銀をめっきしてワイヤボンディングを行う場合、銀の実験が $5 - 15 \mu\text{in}$ の場合、最終層である銀が酸化されてボンディングができないし、銀／金合金めっきだけによってもボンディングはできるが、銀／金／セリニウム合金めっき層を形成した後、ボンディングの引張強度を照合すると、この発明の合金層がさらに良好な引張力を示すことが分かる。EDS分析でセリニウムが示されな*

10 【0019】

【表3】

めっき層 厚さ (μin)	ニッケル層			金/銀/ セリニウム合金層			EDS 分析 (重量%)	はんだづけ性検 査—はんだの被 覆度合(%)
	30	50	70	5	10	15		
試片 1	●			●			金 11, 銀 89	99-100
試片 2	●				●		金 18, 銀 84	99-100
試片 3	●					●	金 22, 銀 78	99-100
試片 4	●			●			金 27, 銀 73	99-100
試片 5	●				●		金 30, 銀 70	99-100
試片 6	●					●	金 35, 銀 65	99-100
試片 7	●				●		金 30, 銀 70	99-100
試片 8	●				●		金 33, 銀 67	99-100
試片 9	●			●			金 32, 銀 68	99-100
試片 10			●			●	金 34, 銀 66	99-100
試片 11			●	●			金 31, 銀 69	99-100
試片 12			●		●		金 31, 銀 69	99-100

【0020】

※ ※ 【表4】

めっき層 厚さ (μin)	ニッケル層			その他の最終層			EDS 分析 (重量%)	はんだづけ性 検査—はんだの被 覆度合(%)
	30	50	70	5	10	15		
試片 13	●			●			Cu3, Ni5, Ag92	58
試片 14	●				●		Cu2, Ni4, Ag94	65
試片 15	●					●	Cu1, Ni4, Ag95	70
試片 16	●				●		Cu4, Ni3, Ag93	55
試片 17	●				●		Cu2, Ni4, Ag94	65
試片 18		●			●		Cu1, Ni4, Ag95	75
試片 19	●			●			Cu2, Ni5, Ag93	72
試片 20	●				●		Cu1, Ni4, Ag95	80
試片 21	●					●	Cu1, Ni3, Ag96	89
試片 22	●				●		Cu4, Ni3, Ag93	77
試片 23	●				●		Cu1, Ni1, Ag98	80
試片 24		●			●		Cu1, Ni1, Ag98	90
試片 25	●			●			Ni15, Au11, Ag84	94
試片 26	●				●		Ni4, Au16, Ag80	95
試片 27	●					●	Ni2, Au22, Ag76	85
試片 28	●				●		Ni3, Au27, Ag70	~ 94
試片 29	●				●		Ni4, Au30, Ag66	96
試片 30		●			●		Ni4, Au35, Ag61	94

【0021】上記表から分かるように、従来の技術においてふれたごとく、ニッケル層の上部面に直接金とか銀めっきを形成された試片 13～24 は、強制老化後に金とか銀層の表面を EDS 表面分析した結果、銅とニッケルが選択的に金とか銀層の上部面に多量検出されたことが確認されたし、それについて被覆度合(%)による溶接性の検査結果、すべてが不良のものであることが判定された。さらに、試片 25～30 は銀／金合金めっきをしてはんだづけ性実験をした結果である。表3の実験★50

★結果から分かるように、銀／金／セリニウム合金層を最上層として形成して実験した結果では、最上層を微細かつ緻密に組織を形成して、ずぬけて良好な結果を得られることが分かる。通常、溶接性検査の合格判定如否は、95%以上でなければならない。

【0022】結果的に、EDS 表面分析と溶接性検査において確認されたように、金とか銀層の表面に拡散された銅とニッケルは、溶接性を極度に低下せしめることがしてはんだづけ性実験をした結果である。表3の実験★50 分かる。さらに、金と銀の合金もニッケルの拡散が発見

されたし、溶接性も期待に及ばないことが分かる。

【0023】この発明の実施例である試片1～12において、ニッケルのめっき実験30～70μinと金／銀／セリニウム合金めっきの実験5～15μinでEDS表面分析の結果、銅またはニッケルが皆目検出されないことから、それによる溶接性検査の結果、99～100%という極めて満足な溶接性を示すものと確認された。

【0024】実施例3および比較例3. モルテ*

めっき層 厚さ (μin)	ニッケル層			金/銀/ セリニウム合金層			EDS分析 (重量%)	モルディング 化合物との結 合力
	30	50	70	5	10	15		
試片1	●			●			Au11, Ag 89	合格
試片2	●				●		Au16, Ag 84	合格
試片3	●					●	Au22, Ag 78	合格
試片4	●			●			Au27, Ag 73	合格
試片5	●				●		Au30, Ag 70	合格
試片6	●					●	Au35, Ag 65	合格
試片7	●			●			Au30, Ag 70	合格
試片8	●				●		Au33, Ag 67	合格
試片9	●			●			Au32, Ag 68	合格
試片10		●			●		Au34, Ag 66	合格
試片11		●	●			●	Au31, Ag 69	合格
試片12		●	●	●			Au31, Ag 69	合格

【0026】

※※【表6】

めっき層 厚さ (μin)	ニッケル層			その他の最終層			EDS分析 (重量%)	モルディング 化合物との結 合力
	30	50	70	5	10	15		
試片13	●			●			銀 100	不合格
試片14	●				●		銀 100	不合格
試片15	●					●	銀 100	不合格
試片16	●				●		銀 100	不合格
試片17	●			●			銀 100	不合格
試片18		●		●			銀 100	不合格
試片19	●			●			金 100	合格
試片20	●				●		金 100	合格
試片21	●					●	金 100	合格
試片22	●				●		金 100	合格
試片23		●			●		金 100	合格
試片24			●		●		金 100	合格

【0027】上記表5、6から分かるように、ニッケル部面にこの発明の金／銀／セリニウム合金めっき層を形成した試片1～12とニッケルの上部面に金めっき層を形成した比較例の試片19～24は、モルディング化合物との結合力できわめて満足するほどの結果を得たが、ニッケルの上部面に銀めっき層を形成した試片13～18は、モルディング化合物との結合力に問題があることから不合格となった。ここで、合格または不合格への判定基準は、エポキシモルディング化合物と半導体装置の製造用基板との浮き立つ現象があれば不合格とした。★

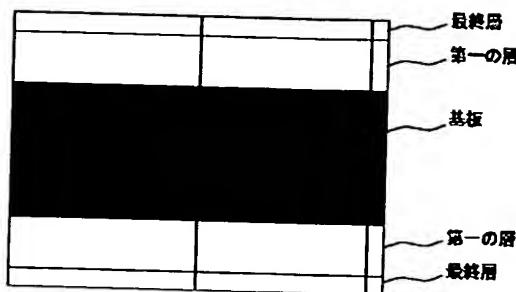
★【0028】

【発明の効果】上述のように、この発明によれば、この発明の3元合金複合物層は、従来のごとく、錫／はんだを使用せずに結着させたものであって、高い引張性と環境親和性をもって、電子工学および関連部品の産業分野における構造結合部として使用されうるきわめて優れた効果がある。

【図面の簡単な説明】

【図1】この発明による3元合金層を適用された基板の一例を示す断面図である。

【図1】



フロントページの続き

(51) Int. Cl. 7
H 01 L 23/50

識別記号

F I
H 01 L 23/12

アーマード(参考)
L

(72) 発明者 李 志溶
大韓民国 ソウル市 延原区 月溪 3洞
美隆アパート 18-305

(72) 発明者 朴 炳俊
大韓民国 ソウル市 鈔川区 始興 2洞
碧山アパート 101-1104

F ターム(参考) 4K024 AA03 AA10 AA11 AA15 AA24
AB02 AB08 BA01 BA09 BB09
BB11 BB13 GA14 GA16
5F067 DC11 DC17 DC18 EA02 EA04

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭57-59369

⑫ Int. Cl.³
H 01 L 23/48
H 01 B 5/02

識別記号

厅内整理番号
7357-5F
6730-5E

⑬ 公開 昭和57年(1982)4月9日
発明の数 1
審査請求 未請求

(全 4 頁)

④ 耐熱性銀被覆導体

② 特願 昭55-134630

② 出願 昭55(1980)9月26日

⑦ 発明者 山岸良三

土浦市木田余町3550番地日立電
線株式会社金属研究所内

⑧ 発明者 吉岡修

土浦市木田余町3550番地日立電
線株式会社金属研究所内

⑨ 出願人 日立電線株式会社

東京都千代田区丸の内2丁目1
番2号

⑩ 代理人 弁理士 佐藤不二雄

明細書

発明の名称 耐熱性銀被覆導体

特許請求の範囲

1. 銅または銅合金よりなる基体上に厚さ0.2～4μのNi合金またはCo合金を下地金属層として設け、さらにその上に銀被覆層を設けてなることを特徴とする耐熱性銀被覆導体。
2. 前記下地金属層は、合金中NiまたはCoの含有量が20～98wt%の範囲であることを特徴とする特許請求の範囲第1項記載の耐熱性銀被覆導体。
3. 前記下地金属層は、合金中NiまたはCo以外の金属元素として、Niより銀中の拡散速度が速い1つまたはそれ以上の金属元素を含有してなることを特徴とする特許請求の範囲第1項および第2項記載の耐熱性銀被覆導体。

発明の詳細な説明

本発明は、例えば電子部品用リードフレーム(特に半導体用リードフレーム)またはリード線などに用いられる耐熱性銀被覆導体に関するもの

である。

従来、銅および銅合金を基体とするフープ材は、半導体用リードフレームに供するため、耐酸化性、半田付性の優れた銀を被覆している。

この場合、半導体製造時の加熱工程で銅が拡散して、銀表面に出てくるのを防ぐため、基体上に直接銀を被覆する場合は、6μ以上のメッキを行っていた。

一方、銀が高価であることから、銀被覆厚を薄くする場合は、銀被覆層と基体との間にNi下地層を設け、銅の拡散を抑制することにより銀被覆厚を6μ以下にすることが行われ、現在Ni下地層を入れるのが一般的である。

銀被覆層と基体である銅および銅合金との間にNi下地層を設けたことにより、銅の拡散は防止できた。

しかし、銀は他の金属と比較して、酸素が容易に通過する。また、銀とNiは相互の拡散速度が遅い。このため、酸化ガス氛围中で加熱された場合、銀被覆層を通過する酸素により下地であるNi表

面に酸化膜が形成する。この結果、銀を被覆した材料を機械加工を行うと容易に銀被覆層が剥離するという密着性不良現象が発生した。

また大気中加熱により密着性不良と同時にブリスターが発生することもあつた。

このような銀と下地金属との密着性を向上させる方法としては(1)下地であるNiメッキ上にNiストライクメッキするなどの下地メッキからの改良、(2)銀を合金化して酸素の透過を防止するなどの銀メッキ層からの改良が夫々ある。

しかし、(1)の方法では本質的問題であるNi下地表面の酸化を防止せず、剥離を防止する効果は少ない。また(2)の方法では、銀合金上での半導体ボンディング性や、半導体特性が低下する問題があつた。

銀中の合金成分を少なくすれば、特性は低下しなくなるが、下地の酸化防止効果は得られなかつた。このようにそれぞれ欠点を持つており、従来は大気中加熱での下地金属酸化に対して有効な手段がなかつた。

多過ぎると銀純度低下という相い反する2つの面から考えなければならない。NiまたはCoの合金中の含有量が20%以下では、拡散量が多過ぎ、銀純度が低下する。また、NiまたはCoの含有量が98%以上では、拡散量が少な過ぎて密着性の向上が望めない。

3. 下地金属層の合金中に含まれるNiまたはCo以外の金属元素としては、NiやCoより銀への拡散速度の速いものであれば、密着性を向上させる効果がある。

その金属元素としては、Sn, In, Bi, Cd, Sb, Se, Pb, Cu, Au, Ag, Znなどが挙げられる。有効な下地金属層は、これらの金属のうち一つまたはそれ以上含むNiまたはCo合金からなるものをいう。

次に、本発明耐熱性銀被覆導体の実施例について説明する。

実施例1

巾4.5mm、厚さ0.5mmの銅条を試料として、脱脂(アルカリ洗浄)、酸洗(電解酸洗約1μ程度

本発明の目的は、前記した従来技術の欠点を解消し、酸化雰囲気中の熱劣化後において、銀被覆層の密着性を向上させることができる新規かつ安価な耐熱性銀被覆導体を提供することにある。
本発明の要旨は、銅または銅合金よりなる基体上に、厚さ0.2~4μのNi合金またはCo合金を下地金属層として設け、さらにその上に銀被覆層を設けたことにある。

本発明の要旨について補足説明すると、

1. 下地金属層の厚さは例えばメッキにより、0.2μ以上とすることが望ましい。下地金属層の厚さは半導体の製造工程における熱処理で、銅が拡散するのを防止する効果の程度から決定されるものである。
従つてそれは、熱処理温度や合金の組成によつても若干異なるが通常は0.2~4μである。
このうち、1μ前後が特性上好ましい範囲である。
2. 下地金属層の合金の組成は、この合金の銀被覆層への拡散において、密着性向上と拡散量が

エッチング)の前処理を施した後、電気メッキによりNi-Cu合金を下地金属層として0.05~2μメッキする。Ni-Cu合金メッキ浴はCuSO₄、5H₂O 10g/L, NiSO₄、6H₂O 40g/L, クエン酸ソーダ 75g/Lの硫酸浴で行う。メッキ条件は、浴温約50℃、電流密度2A/dm²である。Ni-Cu合金メッキをした上に、低銀濃度浴で銀ストライク処理後、シアン化銀メッキ浴で、1μの銀メッキを行い、銀被覆層を形成して所定の銀被覆導体を作成した。

従来法として、下地金属層として1μのNiメッキ(ワット浴)を設けたものと、下地メッキをせず直接銀メッキして銀被覆層を形成した2種類の銀被覆導体を作成し、比較した。

実施例2

実施例1と全く同様な方法で、下地金属層としてNi-Cu合金を1μ行つた後、銀被覆層として銀メッキ厚1μの銀被覆導体を作成した。

この場合、Ni-Cuの合金組成は、標準をNi-50%として、10~100%の範囲で制御した。

ここでNi 100%は、従来の耐熱性銀被覆導体に相当するものである。

実施例3

実施例1と同様な方法で、銀被覆導体を作成した。ここにおいて、下地金属層としてはNi-In (Ni₅₀~60 130% / In₅₀~60 90% / In₃₀BO₃₀ 30% / L、メツキ条件は、浴温は室温、電流密度 5A/dm²、PH 2.0) またはCo-Sn (Sn₅₀~60 20% / Co₅₀~60 50% / L、K₂P₂O₇ 200% / L、クエン酸アンモニウム 10% / Lのピロリン酸浴で、メツキ条件は浴温 60°C、PH 9.7、電流密度 5A/dm²) を表々 1 μの厚さでメツキした。

このようにして製造した銀被覆導体は、大気中で300°C×40分の加熱劣化を行う。

さらに、90°曲げを繰返し4回行つた後、銀被覆層表面に、接着テープを貼り付けてテープを剥す際、銀被覆層が剥離するか否かで耐剥離性を判定する。

外観は加熱劣化後の変色が認められるか否かで判定する。

実施例1.2.3の結果は、表1.2.3に各々対応して示した。

実施例1の結果、従来のNi下地金属層の場合と比較して、Ni-Cu合金を下地金属層として用いることにより、耐剥離性が改善されることが判る。しかし、下地金属層のメツキ厚が0.2 μより薄いと変色し、外観が悪くなる。

実施例2の結果、Ni-Cu合金下地でも、下地金属層の合金の組成により耐剥離性に差があり、合金中Ni含有量が20%未満では耐変色性に劣ることが判る。

表1 大気中加熱劣化試験

	下地金属層		銀被覆層 メツキ厚(μ)	300°C×40分大気中 耐剥離	外観
	金	組成(wt%)			
従来例	Ni	100	1	6	×
	-	-	0	6	○
	-	-	0	2	×
実施例 1	Ni-Cu	Ni 50 Cu 50	0.05	1	×
	-	-	0.2	-	○ ○
	-	-	1.0	-	○ ○
	-	-	2.0	-	○ ○

判定 ○：良好、△：若干問題有、×：不良

表2 大気中加熱劣化試験

	下地金属層		銀被覆層 メツキ厚(μ)	300°C×40分大気中	
	金	組成(wt%)		シキ厚(μ)	耐剥離
従来例	Ni-Cu	Ni 100	1 μ	1 μ	×
実施例 2	Ni-Cu	95	-	-	○ ○
		30	-	-	○ ○
		20	-	-	○ △
条件外	Ni-Cu	10	-	-	○ ×

判定 表1と同じ

表3 大気中加熱劣化試験(実施例3)

	下地金属層		銀被覆層 メツキ厚(μ)	300°C×40分大気中	
	金	組成		シキ厚(μ)	耐剥離
Ni-In	Ni 70%	1	1	○	○
Co-Sn	Co 60%	1	1	○	○

判定 表1と同じ

添付図面は、本発明銀被覆導体の具体的構造例を示すもので、1はフープ状の銅条、2はCu-Ni合金メツキによる下地金属層、3はAgメツキによる銀被覆層であり、このような形状導体は例えば、半導体用リードフレームとして用いられる。

本発明の応用範囲についてさらに補足説明する

と、従来銀被覆層を合金化して酸素の通過を抑制する方法があり、例えばAg-Sb、Ag-Se、Ag-Sn、Ag-Niなどが載せられるが、本発明においてはNi合金またはCo合金を下地金属層としてメツキした後、上記銀合金を組合せることは、銀の合金化を変色や半導体ポンディング性が低下しない範囲にすることにより、両者の特性を生かすことが可能である。

従つて、銀合金メツキを行つて銀被覆層を形成することも本発明の範囲に入るものである。

又、下地金属層を合金化したのは、加熱劣化後、銀被覆層との耐剥離性や半田付性を向上させるためである。従つて、合金の下地金属層を2層以上に分け(2層以上に分けてメツキし)各々の層の組成を変えた銀被覆導体を作つても基体的に本発明を利用するものであるといえる。

本発明の効果は、大気中など酸化雰囲気で本発明銀被覆導体を加熱劣化しても銀被覆層が剥離しにくくなることがある。

具体的には、表1.2.3に示した通りである。

耐剝離性が向上した理由は、下地金属層中に銀へ拡散しやすい金属を加えた合金としたことにある。これは、下地金属層表面が銀被覆層を通過する酸素で酸化されても、下地金属層中に含まれた合金成分が拡散することによって、耐剝離性を改善しているのである。

一方、下地金属層としては、銀被覆層へ拡散しやすければ良いというわけでなく、拡散は銀の変色を起す原因にもなる。特にメツキにより銀被覆の厚さを薄くした場合、問題となる。

従つて、下地金属層に要求される特性は素地金属である銅の拡散を抑制する効果（即ち、表1の結果で、下地メツキ厚 0.2μ 以上）と下地合金自身が適度な拡散をする効果（表2の結果でNi 20~98%）の2つを持ち合わせなければならない。

本発明によれば、銀被覆層の厚さが 6μ 以下と薄くしてもその特性が低下しないことが認められる。

この結果、銀被覆層の厚さを薄くすることが可能となり、安価な銀被覆導体を提供することができ

る。

以上のように本発明は、酸化分圧気中での熱劣化後において、銀被覆層の密着性を向上させることができる新規かつ安価な銀被覆導体を提供するものであり、その工業的価値はきわめて大なるものがある。

図面の簡単な説明

図は本発明銀被覆導体の具体的構造例を示す横断面図である。

1：銅条、2：Cu-Ni合金メツキの下地金属層、3：Agメツキの銀被覆層。

代理人弁理士 佐藤不二雄

